

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 53-025318
(43)Date of publication of application : 09.03.1978

(51)Int.CI. G06K 15/20
G06F 3/14

(21)Application number : 51-099653 (71)Applicant : HITACHI LTD
(22)Date of filing : 23.08.1976 (72)Inventor : IWAMURA MASAHIRO
HAMADA NAGAHARU
KUBOKI SHIGEO

(54) PARALLEL SYNCHRONOUS TIMING GENERATOR

(57)Abstract:

PURPOSE: To secure an assured synchronous operation for plural timing generators without having a timing generator individually for the master and slave purposes.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

⑯日本国特許庁
公開特許公報

①特許出願公開
昭53-25318

⑤Int. Cl.²
G 06 K 15/20
G 06 F 3/14

識別記号

⑥日本分類
97(7) B 41
101 E 0

府内整理番号
7341-56
7013-54

④公開 昭和53年(1978)3月9日
発明の数 1
審査請求 未請求

(全 7 頁)

⑦並列同期型タイミング発生装置

⑧特 願 昭51-99653

⑨出 願 昭51(1976)8月23日

⑩發明者 岩村将弘

同 浜田長晴
日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

式会社日立製作所日立研究所内

⑪發明者 久保木茂雄

日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑫出願人 株式会社日立製作所

東京都千代田区丸の内一丁目5番1号

⑬代理人 弁理士 高橋明夫

明細書

発明の名称 並列同期型タイミング発生装置

特許請求の範囲

1. 内部にそれぞれクロック発振器と、カスケード接続され、前段のカウンタがリセットするたびに歩進するようになされた複数のカウンタとを有するタイミング発生装置が複数個同期して使用されるものにおいて、各カウンタはマスター モードかスレーブモードかによってリセットされる条件が異なるものとし、マスター モードでは自からの計数がある値になつたとき自からをリセットするとともに他のタイミング発生装置に該リセットのタイミングを知らせる同期信号を出力し、スレーブモードではマスター モードのカウンタから発せられる同期信号によりリセットされるようにしたことを特徴とする並列同期型タイミング発生装置。

2. 特許請求の範囲第1項記載の各カウンタは計数内容が一定値になつたとき出力を発するデコーダと該デコーダの出力をマスター モードのと

きのみ通過させるゲートを含むものとし、該ゲートの出力はそれぞれのカウンタのリセット入力に導びかれるとともに、複数のタイミング発生装置の対応する上記ゲートの出力は相互にそれぞれ双方方向バスにより結合されることを特徴とする並列同期型タイミング発生装置。

発明の詳細な説明

本発明はタイミング発生装置に係り、特に複数のタイミング発生装置が完全に同期して動作する並列同期型タイミング発生装置に関する。

文字や図形を可視像として階層線管(以下CRTと略す)に表示するCRTディスプレイは計算機の出力装置として広く利用されている。CRTディスプレイは通常1台のCRTに1個のCRTコントローラを含むものとなつてゐるが、夫々異なる性質のビデオ信号を発生する複数のCRTコントローラのビデオ信号を合成して1台のCRT上に合成画像を表示させる要求がある。

さらにまた、例えば1表示文字あたり8ビットのフレッシュメモリを標準的なディスプレイコ

ントローラとして作つておき、これより長いビット長を必要とするディスプレイでは2台以上のCRTコントローラを並列運転して例えば1表示文字あたり16ビットのリフレッシュメモリ出力を得るようにするとすべてのCRTディスプレイを1種類の標準CRTコントローラで作る事ができ、特にCRTコントローラを標準LSI化する場合に有効である。

以上のように複数のCRTコントローラを並列運転する場合、CRTコントローラで使われているすべてのタイミング信号を複数のコントローラに亘つて完全に同期させることが前提条件となる。

本発明の目的は上述のような要求を達成するため、複数のタイミング発生装置間で互に同期運転可能な並列同期型タイミング発生装置を提供する事にある。

本発明の他の目的は複数のCRTコントローラを同期運転する事により複数の独立した画面情報を1台のCRTに合成画像として表示するCRTディスプレイに用いるに適した並列同期型タイミング発生装置を提供する事である。

るようとした事である。

本発明の詳細は以下の説明および図面で明らかにしよう。第1図(A)は2組のn進カウンタを同期運転する場合の一般的な方法を示し、第1図(B)にn進カウンタの動作タイムチャートを示す。図において、10, 20はクロック発振器、11, 21はn進カウンタ、12, 22はn-1をデコードする回路、23, 24はスイッチである。n進カウンタ11はn-1デコーダ12の出力がMR端子(マスターリセット)に接続されており、第1図(B)のタイムチャートに示すようにn-1デコーダの出力が1になつた次のCLK信号の立ち上がりリセットされ、かくしてn進のカウント動作が行われる。カウンタ11, 21を完全に同期したn進カウンタとして動かすには個々のカウンタのクロック信号が同位相で、且つn-1デコーダの出力が同位相でなければならない。これにはスイッチ23と24を夫々別に切換え、カウンタ21のクロック信号をクロック発振器10からとり、MR端子へのn-1デコード信号をデコード

特開昭53-25318 (2)
ング発生装置を提供するにある。さらに本発明の他の目的はリフレッシュメモリの1表示文字あたりのビット数が固定の標準ディスプレイコントローラを同期並列運転する事により、任意のビット長を取り得るCRTディスプレイに用いるに適した並列同期型タイミング発生装置を提供する事にある。

本発明の特徴は複数のタイミング発生装置にそれぞれ、マスター/モードあるいはスレーブモードのどちらで動作させるかを決めるマスター/スレーブ制御信号(M/S信号と略す)と、マスター/モードの時はマスター側から同期運転に必要なすべての同期信号を残りのスレーブモードのタイミング発生装置に供給し、スレーブモードの時は他のマスター/モードのタイミング発生装置から同期信号を受信する制御回路とを個々のタイミング発生装置に内蔵し、これにより個々のタイミング発生装置がマスター/スレーブにもなり得、かくして複数のタイミング発生装置のひとつをマスターとし、残りをスレーブとして完全同期運転を行え

回路12からとればよい。

第2図はラスタ走査型CRTディスプレイのタイミング発生装置を示す。25はクロック発振器、30は1文字のヨコドット数Kを決めるK進のドットカウンタ、35はK-1デコーダである。40は1走査線あたりの文字クロント数Lを決めるL進のキヤラクタカウンタ、45はL-1デコーダである。50は1文字のタテドット数Mを決めるM進のラズカウンタ、55はM-1デコーダである。60は1フレーム当たりの行数Nを決めるN進のラインカウンタ、65はN-1デコーダ回路である。

このように4種のカウンタからなるタイミング発生装置を複数台同期並列運転するには個々のタイミング発生装置でクロック信号CKを共通にし、さらにK-1デコーダ35の出力DS、L-1デコーダ45の出力CS、M-1デコーダ55の出力RS、N-1デコーダの出力LSを各タイミング発生装置間の同期信号として利用する事により達成される。

第3図は本発明の一実施例を示すもので、第2図のタイミング発生装置を4台同期並列運転する場合の同期信号の相互結線図を示す。図において、クロック信号CK、ドットカウンタ同期信号DS、キヤラクタカウンタ同期信号CS、ラスタカウンタ同期信号RS、ラインカウンタ同期信号LSが、4ヶのタイミング発生装置70, 75, 80, 85間で相互に双方向バス71に接続され、これらの同期信号線は個々のタイミング発生装置から見えた場合、自分がマスターの時は他のタイミング発生装置への出力同期信号となり、スレーブの時はマスターからの入力同期信号となる。すなわち、複数のタイミング発生装置間は双方向バスで結合されている。

マスターとスレーブの切換はM/S制御信号による。M/S制御信号を“0”レベルにするとそのタイミング発生装置はマスターとして動作し、“1”レベルとするとスレーブとして動作する。すなわち、各タイミング発生装置はM/S信号を切換えるだけでマスターにもスレーブにもなり得

特開昭53-25318 (3)
るよう構成される。第3図の実施例ではタイミング発生装置70がマスターとなるようにM/S端子がグラウンドに接がれ、75, 80, 85がスレーブとなるように夫々のM/S端子はVccに接がれている。

第4図は本発明のさらに詳細な実施例を示す。本実施例ではタイミング発生装置90がマスター、95がスレーブとなつて同期運転が行われる。

図において100, 200はクロック発振器、110, 120, 130, 140, 150, 160と210, 220, 230, 240, 250, 260はトライステートゲートで制御入力Eが“0”レベルのとき出力は切離され(オープンになる)、“1”レベルのときのインバータとして動作する。170, 270は夫々n進のカウンタ、180, 280は夫々n-1デコーダ、190, 290はインバータである。

いま、タイミング発生器90のM/S信号は“0”レベルであるから、トライステートゲート130, 160の出力は切離され、トライステ

トゲート110, 120, 140, 150はインバータとして動作する。したがつて、カウンタ170のクロック入力CKにはクロック発振器100の出力がトライステートゲート110を経て供給され、さらにカウンタ170のMR端子にはデコーダ180の出力がトライステートゲート140を経て供給される。この時、トライステートゲート120を通してクロック発振器100の出力が、また、150を通してデコーダ180の出力がスレーブモードのタイミング発生装置95に供給される。

一方、タイミング発生装置95のM/S信号は“1”レベルのため、トライステートゲート210, 220, 240, 250の出力は切離される。したがつて、カウンタ270のクロック入力にはトライステートゲート230を通してクロック発振器100の出力が供給され、MR端子にはトライステートゲート260を通してデコーダ180の出力が供給される。かくしてタイミング発生装置90, 95の同期運転が達成される。

以上の説明で明らかのように本発明によると複数のタイミング発生装置を確実に同期運転できるばかりでなく、各タイミング発生装置がマスターにもスレーブにもなり得るため、マスター用、スレーブ用の別個のタイミング発生装置を作る必要がない、さらに同期制御信号の伝送路を双方向バスにしたため、マスター-スレーブ間の相互配線数を大幅に低減できるなどの効果がある他、後述の応用例で説明するような、種々の有効なシステムを実現できる効果がある。

第5図は本発明をC.R.Tディスプレイに応用した例を示す。この例では3台のC.R.Tコントローラ300, 400, 500を同期並列運転することにより各々のディスプレイコントローラが発生する独立なビデオ信号を合成して1台のC.R.T上に表示することができる。

図において310, 410, 510は各ディスプレイコントローラのタイミング発生装置、320, 420, 520はリフレッシュメモリであり、夫々1画面分の表示データが文字コードの形で記憶

されている。330, 430, 530は文字コードをドットパターンに変換する文字発生器、340, 440, 540は文字発生器の出力をシリアルなビデオ信号に変換する並直列変換器である。600は3台のCRTコントローラからのビデオ信号を合成するオア回路、700はCRT表示器である。各タイミング発生器310, 410, 510からはリフレッシュユニットに対する表示アドレス信号325, 425, 525と文字発生器に対するラスタアドレス信号335, 435, 535と並直列変換器に対する駆動信号345, 445, 545をその他のタイミング信号を発生する。3台のCRTコントローラ300, 400, 500のビデオ出力を合成して一台のCRT上に表示するには前記のタイミング発生装置から出力される各種信号がすべて同期したタイミングで発生されなければならない。すなわち、3台のタイミング発生装置310, 410, 510は完全に同期運転されねばならない。

第5図においてはCRTコントローラ300が

特開昭53-25318 (4)
マスター、400, 500がスレーブとして動作するようIC M/S信号が与えられている。そしてクロック信号CK、ドットカウンタ同期信号DS、キヤラクタカウンタ同期信号CS、ラスタカウンタ同期信号RS、ライインカウンタ同期信号LSが3台のCRTコントローラ300, 400, 500間で相互に双方向バスで結合されている。これによりクロック信号を始めとする同期信号はCRTコントローラ300から400および500IC供給され、CRTコントローラ400および500はスレーブモードでマスターコントローラ300のタイミングXに完全に同期して動作する。したがつてリフレッシュユニットに対する表示アドレス信号325, 425, 525、文字発生器に対するラスタアドレス信号335, 435, 535、並直列変換器の駆動信号345, 445, 545もすべて同期した信号となり、これにより3台のCRTコントローラのビデオ信号も完全に同期したものとなり、これらをオア回路600で合成することによりCRT表示器700IC1つの合成画

像として表示することができる。

第6図はマイクロプロセッサ制御に適したCRTコントローラの1例を示している。図において1000はマイクロプロセッサ、1100はDMA(Direct Memory Access)コントローラ、1200はマイクロプロセッサのプログラムメモリおよびデータメモリでROMとRAMからなっている。1300はCRTコントローラで内部にタイミング発生装置1310、1行分の表示データを記憶する行バッファメモリ1320、その他の制御回路を内蔵している。1400は文字発生器、1500は並直列変換器、1600はCRT表示器である。CRTコントローラ1300と第5図のCRTコントローラ300, 400, 500との相異は後者のCRTコントローラが1画面分の表示データをリフレッシュユニットに記憶しているのに対し、前者はCRTコントローラには1行分のバッファメモリだけを有し、1画面分の表示データはメモリ1200に記憶されていることである。マイクロプロセッサ1000、DMAコントローラ1100、メモリ1200はそれぞれアド

レスバスABとデータバスDBを介して接続されている。また、CRTコントローラ1300はデータバスDBに接続されている。CRTコントローラ1300には1行分の表示バッファがあり、こゝに表示データを取込むためにDMAコントローラ1100ICに対してDMA転送要求信号DREQを1行タイミング毎に発する。DMAコントローラ1100はDREQを受けるとマイクロプロセッサ1000ICに対してホールド要求信号HOLDを出す。

マイクロプロセッサ1000はHOLDを受けると自分自身をアドレスバスABとデータバスDBから切離した後、ホールド認知信号HOLDAを返送する。DMAコントローラ1100はこれによりDMA転送許可状態となり、アドレスバスABを通してメモリ1200ICデータアドレスを送出し、同時にメモリREAD信号MEMRを送出する。MEMR信号はインバータ1700で反転されて行バッファ1320ICに対するWRITE信号BMWとなり、MEMR信号によりデータバス上

IC 読出されたメモリのデータを行バッファ 1320 に書込む。同様な動作で行バッファ 1320 が一杯になるまで DMA 転送が行われる。転送が終了すると行バッファ 1320 はタイミング発生装置 1310 により順次読出されて、その出力が文字発生器 1400 IC 供給され、並列変換器 1500 を経て CRT 表示器 1600 に表示される。

行バッファ 1320 のビット長はモノクローム表示のディスプレイでは文字コードを表現できるだけの 8 ビットで十分である。しかし、さらにカラーレーベルビットやプリント制御ビット、インバース制御ビットを付加するシステムでは一般に 8 ビット以上の任意のビット長が要求される。この場合、ディスプレイコントローラ 1300 はビット長の異なるシステム毎に別個のものを作る必要があり、極めて不経済である。

第 7 図はこのような従来の欠点を除去するための本発明を応用した例である。この応用例では行バッファメモリのビット長を 8 ビットとして標準の CRT コントローラを作り、8 ビット以上必要な

特開昭53-25318 (5)
を場合は 2 台以上の CRT コントローラを同期運転することにより必要なビット長が得られる。

図において 2 台の CRT コントローラ 1300, 2300 は同一仕様で作られている、これらを M/S 制御信号と同期制御信号 2000 により同期並列運転して夫々の行バッファの出力の位相を合わせて文字発生器 1400 に供給する。

これにより 8 ビット以上の任意ビット長の CRT ディスプレイに對しても標準の CRT コントローラで容易に実現する事ができる。したがつて、CRT コントローラのタイミング発生装置をプログラマブルとし、8 ビット長の行バッファを有する CRT コントローラを標準とし、同期制御回路を内蔵して LSI 化しておけば、1 種類の LSI でどのような CRT ディスプレイにも適用できるという大きな効界がある。

図面の簡単な説明

第 1 図(A)は n 進カウンタの同期運転の原理図、第 1 図(B)は n 進カウンタの動作タイムチャート、第 2 図はラスター走査型 CRT ディスプレイのタ

イミング発生装置、第 3 図は本発明の一実施例を示す図、第 4 図は本発明の詳細な実施例を示す図、第 5 図は本発明の 1 つの応用例を示す図、第 6 図は CRT ディスプレイシステムの 1 例、第 7 図は本発明の他の応用例を示す図。

符号の説明

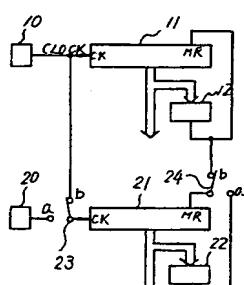
70, 75, 80,	} タイミング発生装置
85	
71, 91, 92	双方向バス
100, 200	クロック発振器
110~160	トライステートゲート
210~260	トライステートゲート
170, 270	カウンタ
180, 280	デコーダ
190, 290	インバータ
300, 400,	} CRT コントローラ
500	
310, 410,	} タイミング発生装置
510	
320, 420,	リフレッシュメモリ

520	リフレッシュメモリ
330, 430,	} 文字発生器
530	
340, 440,	} 並列変換器
540	
600	オア回路
700	CRT 表示器

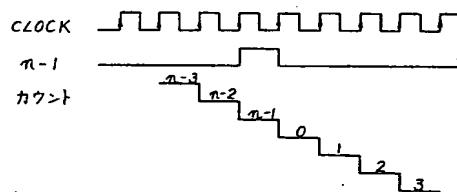
代理人 井理士 高橋明夫

第1図

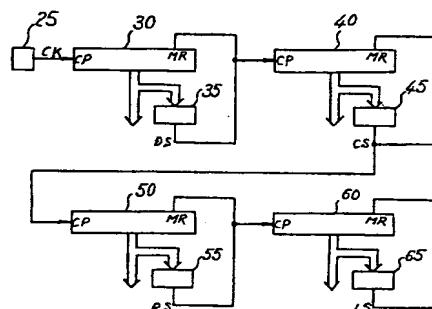
(A)



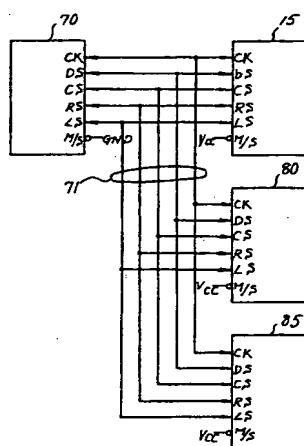
(B)



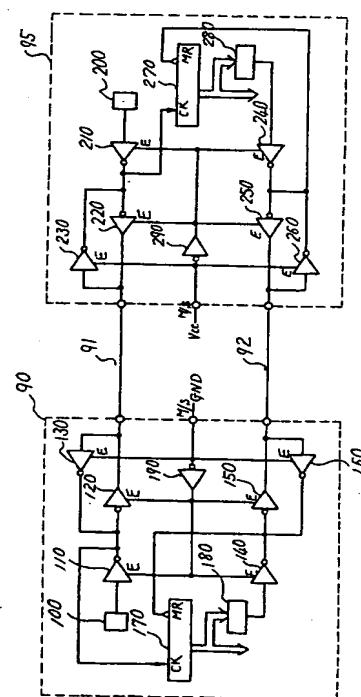
第2図



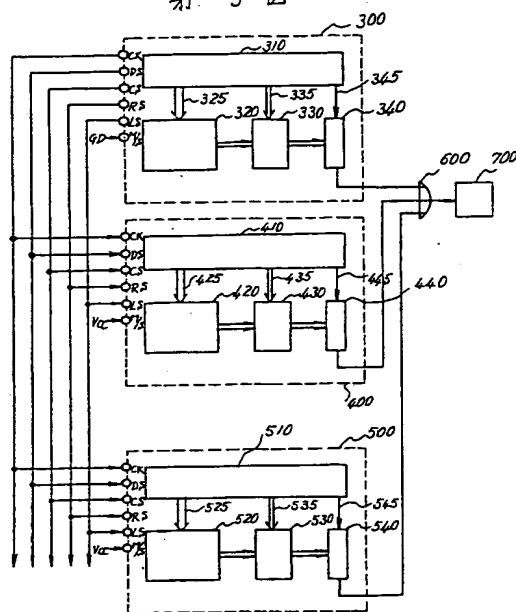
第3図



第4図

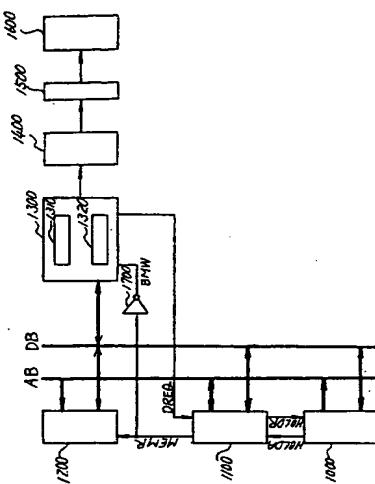


第5図

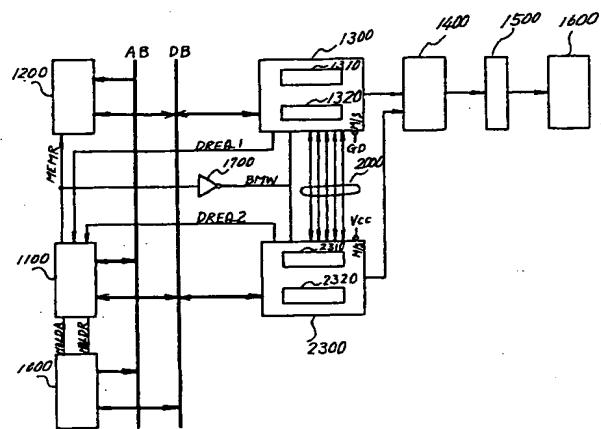


特開昭53-25318 (7)

第6図



第7図



THIS PAGE BLANK (USPTO)